

esp@cenet — Bibliographic data

European

Patent Office

SEMICONDUCTOR STORAGE DEVICE

Bibliographic data Description Claims Mosaics Original
document INPADOC legal status

Publication number:JP1285088 (A)

Publication date:1989-11-16

Inventor(s):KAWANAKAKO SATORU

Applicant(s):NIPPON ELECTRIC CO

Classification:

- international:G11C11/41; G11C11/34; G11C11/41;
G11C11/34; (IPC1-7): G11C11/34

- European:

Application number:JP19880114271 19880510

Priority number(s):JP19880114271 19880510

[View INPADOC patent family](#)

[View list of citing documents](#)

[Report a data error here](#)

Abstract of JP 1285088 (A)

PURPOSE:To enable reading without being late for a normal read operation by transmitting write data directly to a read circuit by a switching circuit when a detecting circuit detects a time when a write and a read are performed to the same address. **CONSTITUTION:**When the write and read are performed to the same address at the same period, the coincidence of addresses is detected by a 2-input EXNOR element 12 and an (n+1)-input AND element 11 and further, a 3-input AND element 15a detects that the write and read are performed at the same time. By obtaining the AND of signals from timing circuits 7a and 7b, the output of the 3-input AND element 15a catches the moment at which the write and read are started, a write circuit 3 is connected with a

CD00107foreignJPkawanakakoEnglishAbstract.txt

read circuit 4 by a circuit composed of a P-type MOS transistor 17 and an (N)-type MOS transistor 18 and the write data are sent directly to the read circuit 4. Thus, the read of the data is prevented from being late.

Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報(A) 平1-285088

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月16日

G 11 C 11/34

K-8522-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭63-114271

⑯ 出 願 昭63(1988)5月10日

⑰ 発 明 者 川 中 子 寛 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体記憶装置

特許請求の範囲

1組のメモリセルに対して書き込みおよび読み出しを同じ期間に任意のアドレスに対して独立に実行することができる半導体記憶装置において、前記同じ期間に同一アドレスに対して書き込みおよび読み出しが行われようとする状態を検出する検出回路と、書き込みを行う回路の出力と読み出しを行う回路の入力とを結ぶ開閉回路を有し、前記検出回路が書き込みおよび読み出しが同一アドレスに対して行われる時を検出した時は、前記開閉回路により書き込みデータを直接前記読み出しを行なう回路へ伝達し、通常の読み出しタイミングより遅れる事なく読み出しを行なう事が出来るようにした事を特徴とする半導体記憶装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置に関し、特に1組のメモリセルに対して同じ期間に任意のアドレスに対してデータの書き込みおよび読み出しを独立に実行することができる半導体記憶装置に関する。

〔従来の技術〕

従来の1組のメモリセルに対して同じ期間に任意のアドレスに書き込みおよび読み出しを実行することができる半導体記憶装置は、第3図に示すように、1組のメモリセル1に対して書き込み回路3と書き込みを行うアドレスを指定するアドレスデコード6aおよび書き込み動作を制御するタイミング回路7a、また、読み出し回路4と読み出しを行うアドレスを指定するアドレスデコード6bおよび読み出し動作を制御するタイミング回路7bを備えている。

ここで、1組のメモリセルは第4図(a)に示すような構造をしており、書き込み動作の場合には、アドレスデコード6aからの信号により、ワ

ード線 W_{i0} にゲートが接続されている n 形 MOS トランジスタ 18_{i0} , 18_{i1} を ON 状態にし、ビット線 B_{i0} , B_{i1} からのデータをメモリセルに書き込む。また、読み出し動作の場合は、アドレスデコード $6b$ からの信号により、ワード線 W_{i0} にゲートが接続されている n 形 MOS トランジスタ 18_{i0} , 18_{i1} を ON 状態にし、ビット線 B_{i0} , B_{i1} へ出力を行う。このように、書き込み動作と読み出し動作を独立に行うことができるようになっている。

このような従来の半導体記憶装置では、書き込みと読み出しが、同じ期間に同一のアドレスに対して行われる時、メモリセルに記憶されている値と書き込まれる値とが異なる場合には、読み出される値がメモリセル内に記憶されていた値であるのか、あるいは新たに書き込まれた値であるのかは、時刻によって異ってくる。

一例として、メモリセルに 0 が記憶されていて、新たに 1 を書き込み、同時に読み出しを行う時のメモリセル内の信号波形を第 4 図 (b) に示

す。時刻 T_0 でセレクトが動作し、わずかに遅れてビット線 B_{i0} が 1 となる (この時、ビット線 B_{i1} の値は、 $B_{i1} = \overline{B_{i1}} = 0$ である)。

次に、ワード線 W_{i0} , W_{i1} の信号により、 n 形 MOS トランジスタ 18_{i0} , 18_{i1} , 18_{i0} , 18_{i1} が時刻 T_1 で ON 状態となると、 M_0 の電位はビット線 B_{i0} の電位により時刻 T_2 より電位が上昇して、やがて 1 となる。 M_1 側では、逆に、電位が 0 となる。この時、読み出し側のビット線 B_{i0} では、 M_0 より信号が n 形 MOS トランジスタ 1 個を通過する時間だけ遅れて値が変化するので、ビット線 B_{i1} では、 M_1 、つまり、 M_0 と同じタイミングで、しかも、メモリセル内に残っていた値に従って変化が生じる。

時刻 T_2 からメモリセル内の値が書き換えられた値の出力される時刻 T_3 までの間は、メモリセル内に残っていた古い値が出力されている事になり、時刻 T_3 以降は、新たに書き込まれた値が出力される。このように、読み出される値は、読み

出しの途中で変化してしまうという事態が生じる。

これを防ぐには、読み出し側のワード線 W_{i0} に送る信号を遅延させて、メモリセル内の値の変化が終了してから出力する方法があるが、これでは、アクセス時間がこの分だけ増加し、読み出しが遅れてしまう。

(発明が解決しようとする課題)

上述したように従来の半導体記憶装置では、メモリセルから読み出される値がメモリセル内に記憶されていた値であるのか、新たに書き込まれた値であるのか不確定であるという欠点がある。

(課題を解決するための手段)

本発明の半導体記憶装置は、1 組のメモリセルに対して書き込みおよび読み出しを同じ期間に任意のアドレスに対して独立に実行することができる半導体記憶装置において、前記同じ期間に同一アドレスに対して書き込みおよび読み出しが行われようとする状態を検出する検出回路と、書き込みを行う回路の出力と読み出しを行う回路の入力

とを結ぶ開閉回路を有し、前記検出回路が書き込みおよび読み出しが同一アドレスに対して行われる時を検出した時は、前記開閉回路により書き込みデータを直接前記読み出しを行なう回路へ伝達し、通常の読み出しタイミングより遅れる事なく読み出しを行なう事が出来るようにした事を特徴とする。

(実施例)

次に、本発明について図面を参照して説明する。

第 1 図は本発明の第 1 の実施例のブロック図である。ブロック動作クロック信号 BE_0 が 1 で、書き込み可信号 WE_0 が書き込み可の時、データは書き込み回路 3、セレクト 2 を通してアドレスデコード $6a$ で指定されたメモリセル 1 上のアドレスに書き込まれる。

また、ブロック動作可クロック信号 WE_0 が 1 で、読み出し可信号 RE_0 が読み出し可の時、アドレスデコード $6a$ で指定されたメモリセル 1 のアドレスのデータがセレクト 2、読み出し回路 4

を通して読み出される。

ここで、同じ期間にブロック動作可信号 $B E_0$ 、 $B E_1$ が1となり、かつ、アドレスデコード 6_a 、 6_b が同一アドレスを指定し、書き込み可信号 $W E_0$ が書き込み可および読み出し可信号 $R E_0$ が読み出し可となり、同一のアドレスに対して書き込みと読み出しが行われる状況になった場合には、2入力 $E X N O R$ 素子12および $n+1$ 入力 $A N D$ 素子11によりアドレスの一致を検出し、さらに、3入力 $A N D$ 素子15aにより書き込みおよび読み出しが同時に行われようとする状態であることを検出する。

3入力 $A N D$ 素子15aの出力はタイミング回路7a、7bからの信号の $A N D$ を取ることににより、書き込みおよび読み出しが開始される瞬間をとらえ、書き込み回路3と読み出し回路4とをP型MOSトランジスタ17およびn形MOSトランジスタ18より成る回路で接続し、書き込みデータを直接読み出し回路4へ送り、データの読み出しが遅れるのを防止する。

は、書き込み可側では書き込みが、書き込み不可側では読み出しが行われる。

このように、書き込み・読み出し回路を2つ備えた半導体記憶装置では、どちらの書き込み・読み出し回路からも書き込み、読み出しが行われるため、第4図(a)に示すワード線 W_0 、 W_1 のうち、読み出しとなる側の信号を遅延させるためには、余分な回路を用いて制御しなければならない。これに対して、本発明を用いれば、第1図に示した場合と同様な手法により簡単に遅延を防止して確定した出力を得ることができる。

すなわち、2入力 $E X N O R$ 素子12および $n+1$ 入力 $A N D$ 素子11によりアドレスの一致を検出し、2入力 $E X O R$ 素子13によって書き込み・読み出し回路5a、5bのうち一方が書き込み、他方が読み出しとなっている状態を検出し、その後、タイミング回路からの情報を取り入れて書き込みを行う回路と読み出しを行う回路、つまり2つの書き込み・読み出し回路の間を接続して遅延を防いで確定した出力を得ることができ

書き込みおよび読み出しのアドレスが異なる場合や、書き込みあるいは読み出しの一方が行われる場合には、書き込み回路3と読み出し回路4との間は遮断されて、通常の書き込み、読み出しが行われる。

第2図は本発明の第2の実施例のブロック図である。ここでは、書き込みおよび読み出しの両方の動作を行う書き込み・読み出し回路を2つ備えた半導体記憶装置について示す。

この場合には、ブロック動作クロック信号 $B E_0$ 、 $B E_1$ が1で、書き込み可信号 $W E_0$ 、 $W E_1$ が書き込み可の時、書き込みデータは書き込み・読み出し回路5a、5bセレクト2を通してアドレスデコード 6_a 、 6_b で指定されたメモリセル1のアドレスに書き込まれる。

また、ブロック動作クロック信号 $B E_0$ 、 $B E_1$ が書き込み付加のときは、指定されたアドレスからデータが読み出される。

さらに、書き込み可信号 $W E_0$ 、 $W E_1$ のうち一方が書き込み可、他方が書き込み不可の場合

る。

〔発明の効果〕

以上説明したように、本発明は1組のメモリセルに対し、書き込みおよび読み出しを同じ期間に任意のアドレスに対して独立に実行することができる半導体記憶装置において、同じ期間に同一のアドレスに対して書き込みおよび読み出しが行われる場合に、書き込みを行う回路と読み出しを行う回路との間を接続して通常の読み出し動作に送れることなく確定した値を読み出すことができる効果がある。

図面の簡単な説明

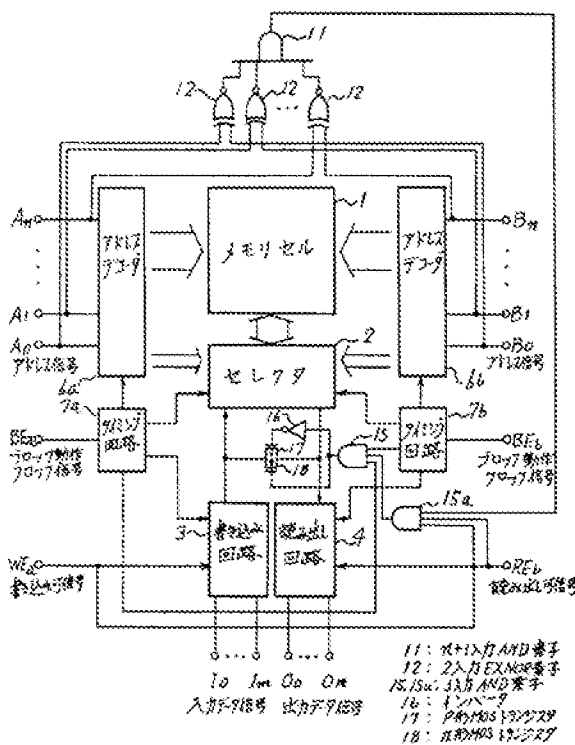
第1図および第2図は本発明の半導体記憶装置の第1および第2の実施例のブロック図、第3図は従来の半導体記憶装置のブロック図、第4図(a)は1個のメモリセルの回路図、第4図(b)は第4図(a)が動作する時の各部の電位を示した図である。

A_0 、 A_1 、 A_n 、 B_0 、 B_1 、 B_n …アドレ

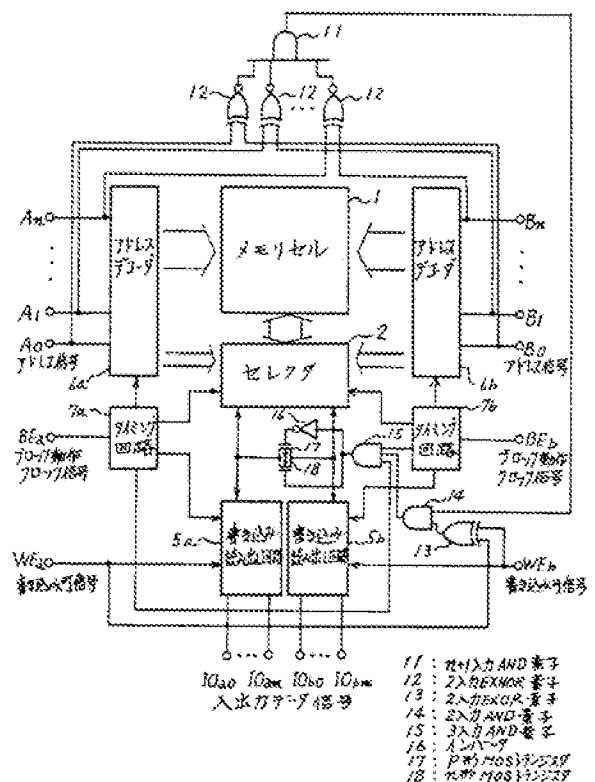
ス信号、 $B_{s0}, B_{s1}, B_{s2}, B_{s3}, \dots$ ビット線、 BE_s, BE_o, \dots ブロック動作クロック信号、 I_o, I_m, \dots 入力データ信号、 $IO_{s0}, IO_{sm}, IO_{o0}, IO_{om}, \dots$ 入出力データ信号、 M_o, M_s, \dots メモリセル内の電位観測点、 O_o, O_m, \dots 出力データ信号、 RE_s, \dots 読み出し可信号、 T_o, \dots セレクタが動作を始める時刻、 T_1, \dots, T_n 形MOSトランジスタ $18_{s0}, 18_{s1}, 18_{s2}, 18_{s3}, \dots$ がONとなる時刻、 T_2, \dots メモリセル内の電位が変化し始める時刻、 T_3, \dots ビット線の出力が反転する時刻、 W_s, W_o, \dots ワード線、 WE_s, WE_o, \dots 書き込み可信号、1…メモリセル、2…セレクタ、3…書き込み回路、4…読み出し回路、5a, 5b…書き込み・読み出し回路、6a, 6b…アドレスデコード、7a, 7b…タイミング回路、11…n+1入力AND素子、12…2入力EXNOR素子、13…2入力EXOR素子、14…2入力AND素子、15, 15a…3入力AND素子、16…インバータ、17…P型MOSトランジスタ、18, $18_{s0}, 18_{s1}, \dots$

$18_{s2}, 18_{s3}, \dots$ n型MOSトランジスタ。

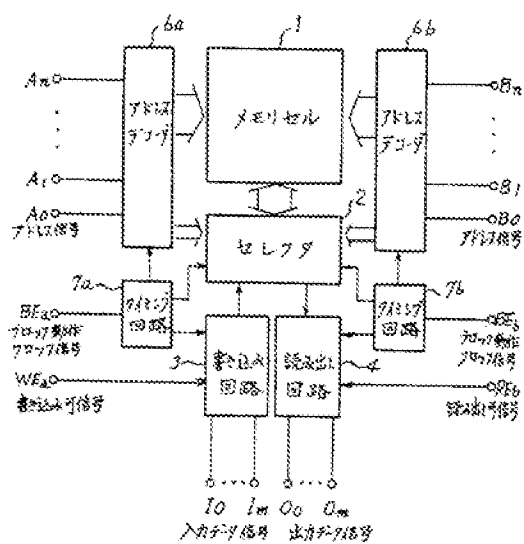
代理人 弁理士 内 原 賢



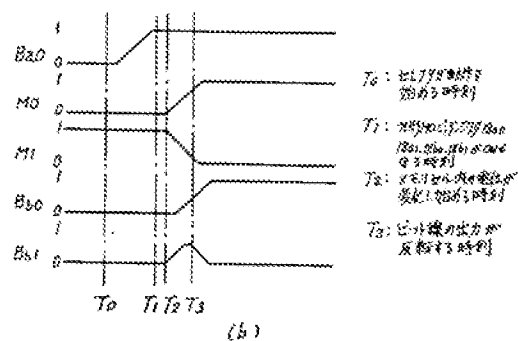
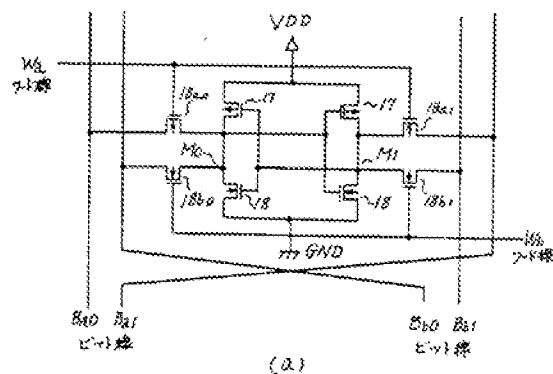
第 1 図



第 2 図



第 3 図



第 4 図